

Параллельный процессор идентификации образов

Байрак С.А., Одинец Д.Н.,
БГУИР

Татур М.М.,
ООО «Интеллектуальные
процессоры»

В настоящей работе анонсирован прототип параллельного процессора, который предназначен для высокопроизводительного решения массовых задач идентификации (классификации). Применение данного процессора позволит обеспечить заданную производительность вычислений при гарантированном качестве принятия решений. Программная настройка и каскадирование архитектуры, а также знание зависимости производительности от аппаратных ресурсов позволят сократить сроки разработки интеллектуальных

систем распознавания образов как программно-аппаратных комплексов реального времени.

Архитектура сопроцессора

В целом, архитектура относится к SIMD-типу параллельных процессоров (SingleInstructionStream — MultipleDataStream), что означает один поток команд и множество потоков данных. В таком процессоре все процессорные элементы (ПЭ) идентичны и работают с локальной памятью небольшой емкости (рис. 1).

Каждый ПЭ специализирован на аппаратную реализацию задач идентификации по определенной математической модели [1,2]. В данной модели применена нечеткая параметризация информативных признаков и реализована функция логических условий, что обеспечивает нелинейность формируемых разделяющих поверхностей. Настройки модели, по сравнению с

многослойными нейросетями, обладают физическим смыслом (т.е. являются интерпретируемыми), поэтому, наряду с формальным обучением, предлагаемые процессоры-классификаторы могут настраиваться экспертом. Таким образом, примененная модель обладает необходимыми функциональными свойствами и универсальностью, что позволяет ей служить математической основой архитектуры процессора.

Архитектура позволяет без перепроектирования, только за счет ввода настроек, настраивать процессор на обработку заданного числа информативных признаков — n и числа классов — k . В процессоре обеспечивается возможность параллельно-последовательного режима работы, при котором информативные признаки обрабатываются последовательно, классы — параллельно либо параллельно-последовательно. Нарастивание числа обрабатываемых признаков и числа классов осуществляется за счет увеличения емкости памяти коэффициентов. Нарастивание производительности процессора осуществляется за счет каскадного включения дополнительных ПЭ. Архитектура с группой из q ПЭ рассчитана на параллельное решение задач классификации, если $k \leq q$, и параллельно-последовательно (за m циклов), если $k > q$:

$$m = \lceil k/q \rceil$$

Память коэффициентов содержит параметры обучения, которые заносятся перед началом работы. Память разделена на фреймы по числу ПЭ с емкостью $n \times m$ каждый. В ходе вычислений коэффициенты последовательно извлекаются и участвуют в обработке соответствующего информативного признака.

Экспериментальный вычислительный комплекс на базе процессора

Современные FPGA содержат встроенные аппаратные умножители и блочную память и представляют собой эффективное средство для быстрого создания аппаратных прототипов. Приведенная архитектура реализована на базе FPGA XilinxSpartan 6 со следующими выходными характеристиками: 8 ПЭ с объемом фрейма памяти 2 кБ и временем вычисления по одному признаку 50 нс. Общее время классификации (T), непосредственно характеризующее про-

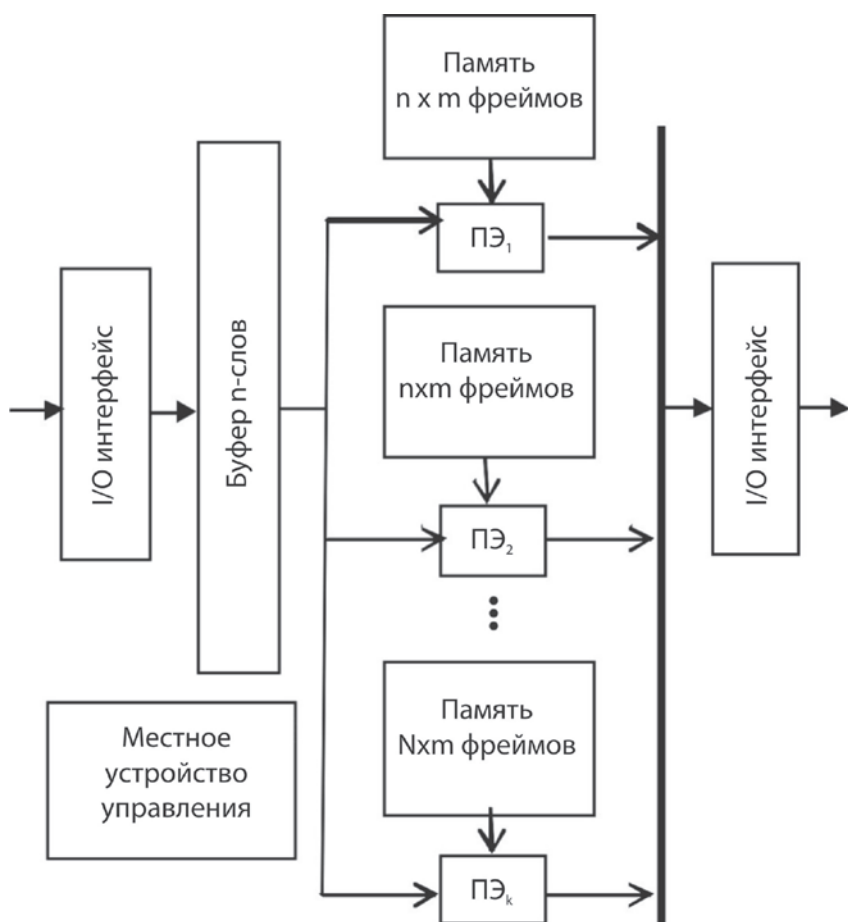


Рис. 1. Архитектура параллельного SIMD-процессора

изводительность процессора, определяется из выражения:

$$T \approx (50nk)/q$$

Процессор представляет собой унифицированное программно-настраиваемое вычислительное устройство, позволяющее решать различные задачи классификации в диапазоне параметров n и k , определяемым емкостью фрейма памяти, в данном случае — соотношением $n \times k = 100$. При необходимости расширить функциональные возможности процессора, достаточно либо использовать более мощную (ресурсоемкую) FPGA, либо разместить проект в нескольких FPGA, при минимальных издержках на архитектурное и структурное перепроектирование.

Очевидно, что для исследования функциональных возможностей процессора и проведения натурных испытаний необходимо формировать поток входных данных, принимать результаты промежуточных вычислений, управлять критериями принятия решений и выполнять ряд других сервисных функций. С этой целью была создана экспериментальная вычислительная система (рис. 2), в рамках которой функции ввода-вывода данных, обучения и конечного принятия решений возлагаются на универсальный компьютер, а массовые функции идентификации —

на проблемно-ориентированный сопроцессор. Host-компьютер и сопроцессор обмениваются командами и данными по стандартным интерфейсам (USB). Такое архитектурное решение позволяет сконцентрировать усилия на исследовании программно-аппаратной реализации классификаторов, при этом реализована возможность удобно обеспечивать общее управление, пользовательский интерфейс и, при необходимости, предобработку и постобработку обычными программными средствами.

Заключение

Вычислительный комплекс представляет собой инструментальное средство, которое позволяет создавать и исследовать широкий класс систем распознавания. Классификатор, разработанный и апробированный в рамках данных инструментальных средств, может быть быстро и с минимальными затратами адаптирован к конкретной прикладной интеллектуальной системе, к конкретным конструктивным особенностям (в виде автономного блока либо сопроцессора). Процессор и вычислительный комплекс на его основе могут поставляться как завершенный продукт ООО «Интеллектуальные процессоры» для использования в научных исследованиях и собственных разработках.

В качестве дополнительных инженеринговых услуг предлагаются:

- разработка (созаработка) алгоритмов интеллектуальной видеосистемы с интеграцией в нее предлагаемого процессора;
- доработка и оптимизация процессора под технико-экономические условия заказчика на базе FPGA;
- разработка заказной СБИС под технико-экономические условия заказчика.

Литература

1. Synthesis and Analysis of Classifiers Based on Generalized Model of Identification/ M.Tatur, D.Adzinets, M.Lukashevich, S.Bairak // *Advances in intelligent and soft computing*. — 2010. — Vol. 71. — P.529—536.
2. Классификаторы на основе Z-модели идентификации / М.М. Татур, Д.Н. Одинец, В.В. Островский, Д.А. Лавникович // *Доклады БГУИР*. — 2010. — №5 (51). — С. 76—81.

ООО «Интеллектуальные процессоры»
220013, г.Минск, ул.Я.Коласа, 22/2, к.310
Тел./факс: (029) 764-38-61
E-mail: tatur@i-proc.com
Сайт: www.i-proc.com

УНП: 190632379

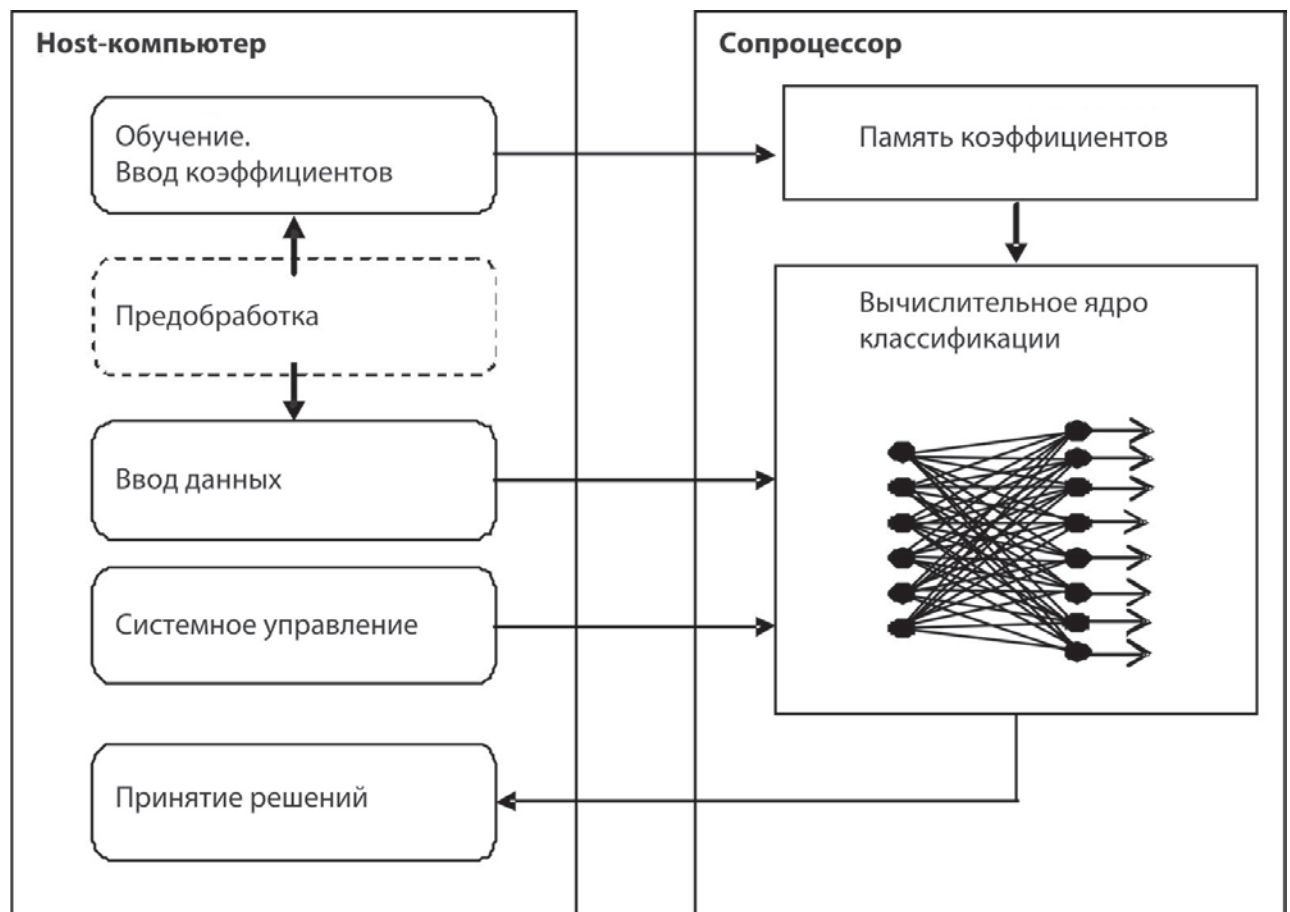


Рис. 2. Состав вычислительного комплекса